

高等学校实验课系列教材

现代数字系统 实验及设计

XIANDAI SHUZI XITONG SHIYAN JI SHEJI

何伟 主编

EXPERIMENTATION



重庆大学出版社



内 容 提 要

本书共分四篇,第1篇介绍数字系统的设计方法,MAX+plus II使用向导,Quartus II使用向导。本篇是学习后续内容的基础,其中MAX+plus II是数字电路实验及设计的仿真、设计与实现工具,Quartus II是EDA技术实验及设计的仿真、设计与实现工具。第2篇主要介绍数字电路课程的实践环节,包括数字电路基础实验、基于EDA系统的数字电路实验、综合性数字电路设计课题。第3篇主要介绍EDA技术课程的实践环节,包括EDA技术基础实验、综合性EDA技术设计课题。第4篇介绍实验器件与实验系统基础知识。

本书内容丰富,循序渐进,实践性强,取材新颖,可供高等院校电子信息类、电气信息类各专业的本科生或研究生使用,特别适合数字电路类、EDA技术类课程的实践与设计教材或参考资料,也可作为一般电子电路设计的工程技术人员的自学参考书。

图书在版编目(CIP)数据

现代数字系统实验及设计/何伟主编. —重庆:重庆

大学出版社,2005.9

(高等学校实验课系列教材)

ISBN 7-5624-3510-3

I. ①现… II. 何… III. ①数字系统—实验—高等

学校—教材②数字系统—系统设计—高等学校—教材

IV. ①T271

中国版本图书馆CIP数据核字(2005)第101553号

现代数字系统实验及设计

何 伟 主 编

责任编辑:姚正坤 版式设计:彭 宁

责任校对:邵 磊 责任印制:秦 旭

重庆大学出版社出版发行

出版人:张鹤高

社址:重庆市沙坪坝正街174号重庆大学(A区)内

邮编:400030

电话:(023) 65102378 65105781

传真:(023) 65103686 65105565

网址:<http://www.cqup.com.cn>

邮箱:bsk@cqup.com.cn (市场部销售)

全国新华书店经销

重庆铃腾印务有限公司印刷

开本:787×1092 1/16 印张:22 字数:549千 插页:8 印 1 页

2005年10月第1版 2005年10月第1次印刷

印数:1—3 000

ISBN 7-5624-3510-3 定价:26.50元

本书如有印刷、装订等质量问题,本社负责调换

版权所有,请勿擅自翻印和用本书

制作各类出版物及配套用书,违者必究。

目录

1.1	集成逻辑门的测试与使用	66
1.2	集电极开路(OC)门与三态门	78
1.3	组合逻辑电路设计与分析	83
1.4	MSI 译码器及其应用	95
1.5	MSI 数据选择器及其应用	101
1.6	MSI 半加器、全加器及其应用	103
1.7	集成触发器及其应用	107
第2篇 数字电路实验及设计		
2.1	第4章 数字电路基础实验	66
2.2	第1章 数字系统设计	1
2.3	1.1 数字系统的基本结构	1
2.4	1.2 数字系统的设计方法	2
2.5	1.3 数字系统的设计准则	3
2.6	1.4 数字系统的设计步骤	4
2.7	1.5 EDA 工程设计流程	5
2.8	第2章 MAX + plus II 使用向导	9
2.9	2.1 MAX + plus II 开发系统简介	9
2.10	2.2 MAX + plus II 开发系统设计入门	10
2.11	2.3 MAX + plus II 系统设计技巧	21
2.12	第3章 Quartus II 使用向导	29
2.13	3.1 Quartus II 开发软件简介	29
2.14	3.2 Quartus II 软件的设计过程	32
2.15	3.3 设计项目编译综合	35
2.16	3.4 SignalTap II 嵌入式逻辑分析仪的使用	54

4.8	MSI 移位寄存器及其应用	111
4.9	MSI 计数器及其应用	117
4.10	555 定时器实验	121
4.11	脉冲信号的产生与整形	125
4.12	MSI 时序电路的设计与分析	127
4.13	D/A 转换实验	137
4.14	A/D 转换实验	140
4.15	模拟汽车尾灯	144
4.16	梯形波产生电路	145
4.17	输血规则	146
4.18	步进电机	146
4.19	数字钟及定时打铃	147
4.20	篮球记分牌	149
4.21	转速表	150
4.22	列车时刻滚动显示	151
4.23	邮件分拣	152
	第5章 基于 EDA 系统的数字电路实验	153
5.1	MAX + plus II 仿真软件的熟悉和应用	153
5.2	译码器及编码器实验	156
5.3	数值比较器和数据选择器应用实验	159
5.4	奇偶校验电路 74LS280 应用实验	162
5.5	主从 JK 触发器结构及一次性翻转实验	165
5.6	程控计数分频器实验	166
	第6章 综合性数字电路设计课题	169
6.1	计数式数字频率计	169
6.2	交通信号灯自动控制器	181
6.3	电子秒表	192
6.4	彩灯控制器	199

第3篇 EDA 技术实验及设计

	第7章 EDA 技术基础实验	209
7.1	简单组合逻辑设计	209
7.2	编、译码器与选择器设计	212
7.3	包集合、过程调用及函数使用	218
7.4	触发器、寄存器设计	224
7.5	6 位七段 LED 动态显示设计	227
7.6	键盘扫描电路设计	233
7.7	序列检测器设计	236

7.8 8 位乘法器设计	239
7.9 小数分频器设计	242
7.10 嵌入式逻辑分析仪应用实验	245
7.11 DDS 设计	248
第 8 章 综合性 EDA 技术设计课题	252
8.1 12/24 小时数字钟 VHDL 设计	252
8.2 数字频率计 VHDL 设计	261
8.3 乐曲播放电路设计	266
8.4 电子琴设计	275
8.5 异步串行接口电路及通信系统设计	280
8.6 自主设计课题	295

第 4 篇 实验器件与实验系统

第 9 章 实验器件与实验系统基础知识	302
9.1 数字逻辑实验箱介绍	302
9.2 数字逻辑常用芯片引脚及功能介绍	305
9.3 AEDK-EDA II 实验系统介绍	312
9.4 CPLD 与 FPGA 器件	327
参考文献	343

1.1 数字系统的基本结构

数字系统通常是指由逻辑元件或一系列复杂逻辑功能的若干数字电路的组合。数字系统的规模差异很大,它既可能是一个十分庞大的体育场馆用的室外 LED 显示屏,或一个自动识别系统,或一个网络文本计算,或一个图像采集系统,或者是常用的数字电子表、数字温度计、计算器,也可以是一个大系统中的一个子系统。例如,一个智能门禁系统的指纹识别单元就部分是一个典型的数字系统。它的工作过程是这样的,由图像传感器获取开门者的指纹图像,经时序严格的采样和预处理获得高对比度的数字信号,该信号被送入高速实时数字信号处理系统进行实时图像识别,以提取该指纹的各种特征数据,再与数据库中的所有合法开

第6章 综合性数字电路设计课题

本章的设计课题均以具有一定趣味性和较强演示性的实际应用的数字系统为题材，要求采用《数字电路》课程中所讲述的传统的组合或时序逻辑电路设计方法进行设计。设计中使用的器件基本上是常用的 SSI 或 MSI TTL 数字集成电路，设计平台为 Maxplus II 10.0。本章的课题主要是训练读者以电路图的形式进行数字系统设计，由于 EDA 平台 Maxplus II 具有十分方便的图形编辑环境、具有丰富的库元件，除了包含大多数常用 TTL 电路外，还有很多有用的器件可供选择，尤其是具有很多功能强大的参数化库元件 lpm 元件，这极大地方便了设计和加快了设计的速度。采用 Maxplus II 的另外一个原因是它具有强大的仿真功能、具有直接将设计下载至 FPGA 中进行硬件验证的功能。因此，该部分的设计要求读者进行必要的仿真验证外，还必须在 EDA 硬件实验平台上完成相应的硬件测试，以掌握 FPGA 的开发设计流程。

6.1 计数式数字频率计

6.1.1 设计目的

1. 掌握同步计数器 74160、74161，异步计数器二—五—十进制计数器的使用方法，并掌握其工作原理。
2. 掌握用 74L160、74161、74290 进行计数器、分频器的设计方法。
3. 掌握寄存器 74273、74373、BCD—七段译码器 7448 的工作原理和设计方法。
4. 掌握数字频率计的设计方法。
5. 掌握在 EDA 系统软件 Max+plus II 环境下用 FPGA/CPLD 进行数字系统设计的方法，掌握该环境下功能仿真、时序仿真、管脚锁定和芯片下载的方法。
6. 掌握用 EDA 硬件开发系统进行硬件验证的方法。

6.1.2 技术要求

基本要求：

- = 测量频率范围：100Hz~100MHz。
- = 测量相对误差： $\leq 1\%$ 。
- = 测量信号：方波峰峰值 3~5V(与 TTL 兼容)。
- = 闸门时间：1s
- = 显示控制：动态 8 位七段 LED 显示，且要求显示稳定，数据刷新时间与闸门时间相同，扫描显示的频率大于 50 Hz，端口占用仅 11 位。
- = 完成硬件验证调试工作。

提高要求：

- = 测量频率范围：100Hz~100MHz 和 1Hz~1MHz 两档。
- = 闸门时间：1s 和 100s，用一开关量选择控制。

6.1.3 设计内容

- = 设计可控的计数器、寄存器、译码及显示驱动电路。
- = 设计系统顶层电路。

- = 进行功能仿真和时序仿真。
 - = 对仿真结果进行分析，确认每个模块以及顶层模块的仿真结果达到了设计要求。
 - = 在 EDA 硬件开发系统上进行硬件验证与测试，确保设计电路系统能正确的工作。
- 注：1.设有直接可以利用的 100 Hz 和 1 kHz 方波信号。

2.LED 数码管不需要画出，只需给出七段显示驱动信号即可。

6.1.4 计数式数字频率计工作原理

计数法:测量频率是严格按照频率的定义进行测量的，它是在某个已知标准时间间隔 T_s 内，测出被测信号重复出现的次数 N ，然后计算出频率 $f=N/T_s$ 。

测量原理:如图 6-1-1 所示。石英晶体振荡器产生高稳定的振荡信号，经分频后产生标准的时间间隔 T_s ，用 T_s 作为门控信号去控制主门的开启时间，被测方波脉冲信号，在主门开启时间 T_s 内通过主门，由计数器对通过主门的方波脉冲的个数进行计数，若在 T_s 内计数值为 N ，则被测信号频率 $f=N/T_s$ ，测试结果由译码显示电路进行显示。若 $T_s=1$ 秒，则 $f=N$ ，即被测信号频率就是计数器的计数值， f 可通过计数寄存器直接从显示器上读出。若 $T_s \neq 1s$ ，则 f 不能直接用计数器的值进行显示，而必须进行数据处理以后方可显示。

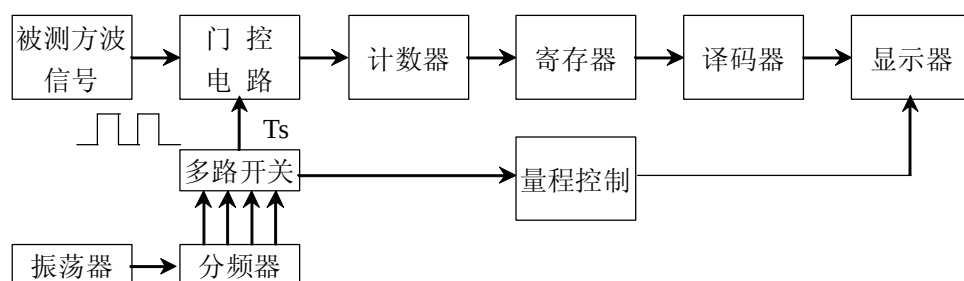


图 6-1-1 计数法测量频率

为简化数据处理工作，通常将 T_s 取值为 1 μ s、10 μ s、100 μ s、1ms、10ms、100ms、1s、10s、100s，由于它们都是 1s 的 10 的倍数，因此只要加上小数点的控制（量程控制），仍然可以直接将计数器的计数值送显示器进行显示。例如：若 $T_s=100s$ ，计数值 $N=19902$ ，显然 $F=N/T_s=19902/100=199.02Hz$ ，此时如果控制小数点使其点亮在倒数第二位 LED 的前面，确定量程为 Hz，则计数值直接送显的显示结果为 **000199.02Hz**，可见得到的测量结果是正确的。又如：若 $T_s=0.01s$ ，计数值 $N=12345678$ ，显然 $f=N/T_s=12345678/0.01=1234567800Hz$ ，此时如果控制小数点使其点亮在倒数第一位 LED 的前面，确定量程为 kHz，则计数值直接送显的显示结果为 **1234567.8kHz**，可见得到的测量结果仍然是正确的。

6.1.5 计数式数字频率计的设计原理

如图 6-1-2 是 8 位十进制数字频率计的顶层逻辑图。它由一个可控的 100 进制计数器 counter100、一个测频控制信号发生器 control、8 个有时钟使能和清零控制的十进制计数器 counter10 和 1 个锁存译码显示模块 code1 四种模块组成。

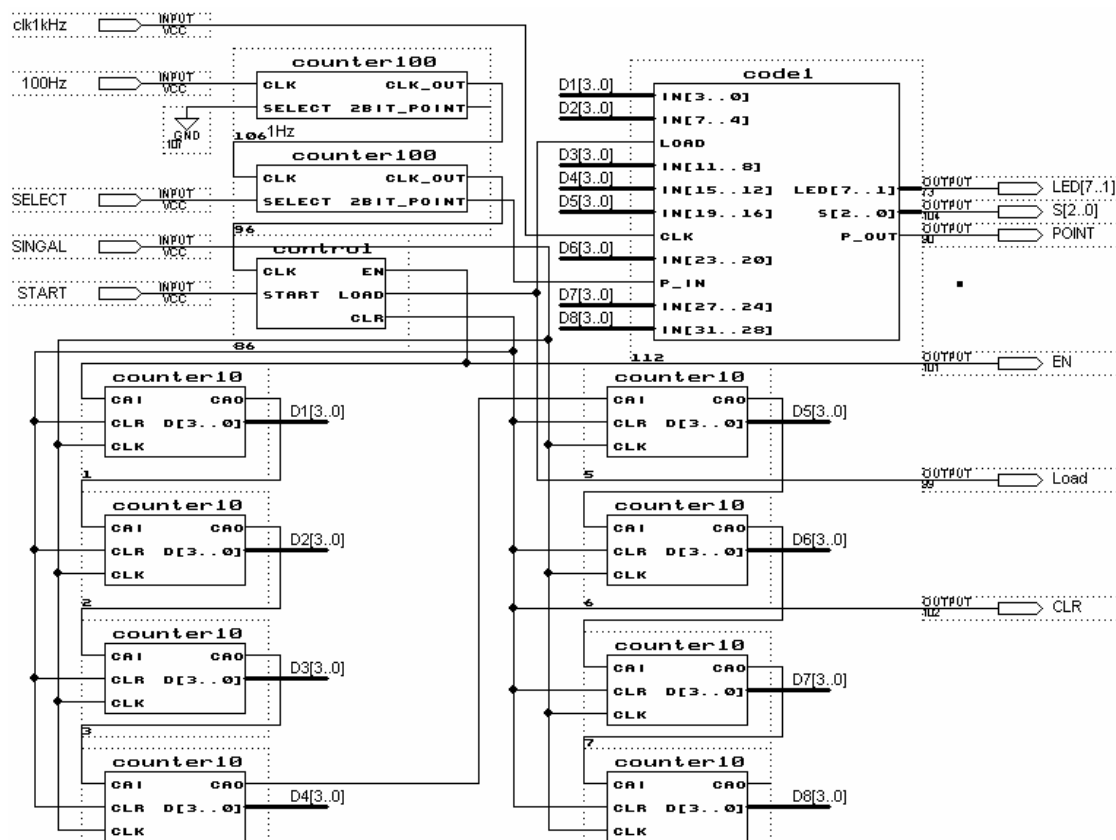


图 6-1-2 8 位十进制数字频率计的顶层逻辑图

1. 测频控制信号发生器

测频控制信号发生器 control 模块如图 6-1-3 所示,其输入信号有两个,一个是频率为 f_s 的标准时钟信号 CLK, 一个是测试启动信号 START。其输出有三个信号,即计数器使能信号 EN, 寄存器锁存信号 LOAD 和计数器清零信号 CLR。START 是整个频率测试仪的测试启动信号,当其为 0 时计数器使能信号被强置为 0, 计数器不计数, 频率计停止工作。当 START 为 1 时, EN 将输出宽度为 T_s 的闸门控制信号, 在 EN=1 期间, 计数器对被测信号进行计数, 在 EN=0 期间, 计数器停止计数。可见 EN 是 CLK 的二分频信号, 高低电平的脉宽均为 T_s , LOAD 是 EN 的反, EN 的下降沿就是 LOAD 的上升沿, LOAD 的上升沿用于控制锁存译码器 CODE1 锁存计数值。为了正确的计数, 在 EN=0 期间必须对计数器进行清零操作, 以便在 EN 上升沿到来时计数器从零开始重新进行计数, 所以在 EN=0 期间 CLR 必须要有效一次。测频控制信号发生器的时序波形如图 6-1-4 所示。

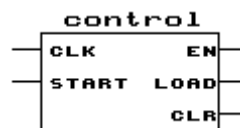


图 6-1-3 control 模块

高质量的测频控制信号发生器的设计十分重要, 设计中要对其进行仔细的时序仿真 (time simulation), 防止可能产生的毛刺, 尤其对边沿触发的寄存器, 那些由竞争引起的毛刺将产生严重的后果。测频控制信号发生器的电路连接图请读者自行画出。

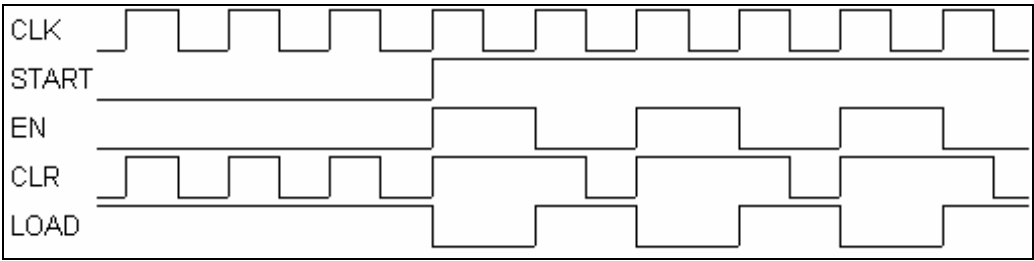


图 6-1-4 测频控制信号发生器工作时序波形

2. 锁存译码显示器

锁存译码显示器模块的输入、输出端口如图 6-1-5 所示。该模块有两个逻辑输入信号和 8 个逻辑向量输入信号以及两个逻辑向量输出信号。8 个逻辑向量输入信号为 D1[3..0]、D2[3..0]、.....D8[3..0]，它们分别来自 8 个十进制计数器的 BCD 码输出信号，每一个向量由 4 位 BCD 码组成，分别代表相应计数器的计数值，该计数值在 control_EN=1(表示 control 模块的 EN 脚为 1)的计数期间是不断变化的，在 control_EN=0 且 control_CLR 无效的期间是保持不变的，在 control_CLR 有效到重新开始计数以前，其值均为 0。

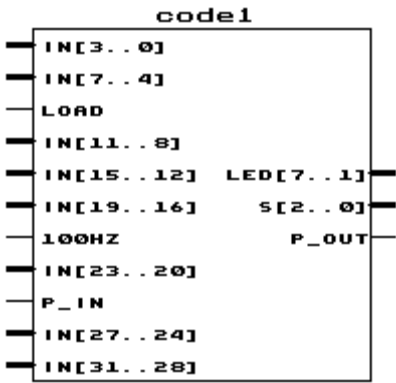


图 6-1-5 锁存译码显示器模块

设置寄存器的目的是使显示的数据稳定，否则显示数据一方面将受计数器计数过程中数据不断变化的影响，使显示数据周期性的从 0 变化到计数值，由于变化太快和人眼的视觉残留效应，看见的显示数据尤其是低位数据均为 8，另一方面显示数据将受 control 的周期性清零信号 control_CLR 的影响而不断的闪烁。锁存控制输入信号 CODE1_LOAD 接 control_LOAD 端，数据的锁存是在锁存信号 control_LOAD 的上升沿进行的，此时刚好是计数器计数结束的时刻。即寄存器中的数据除了在 control_LOAD 的上升沿按计数器的计数值改变外，其余的所有时间里都保持不变，这有利于显示的稳定和读数。

译码的目的是使输出信号可以直接驱动 LED 数码管，所以译码是 BCD-七段显示译码。图 6-1-6(a)是七段 LED 显示器各段的排列图,其中 a、b、c、d、e、f、g 是七段发光二极管，它们封装在一个外壳中，有 10 条引脚如图 6-1-6(b)所示。其中 h 是小数点，k 是公共极，如果是共阴的七段 LED，则全部 LED 的阴极连在一起作为位选控制，如果是共阳的七段 LED，则全部 LED 的阳极连在一起作为位选控制。这七段 LED 不同的发光组合，可显示出 0~9 各种数字、部分英文字母或特定符号。例如：当 a~f 段都发光，而 g 段不发光，可显示为“0”；当 b、c 段发光，其他段不发光，则显示“1”；当 a~g 都发光则显示“8”等等。表 6-1-1 是七段显示代码与字型的对应关系。

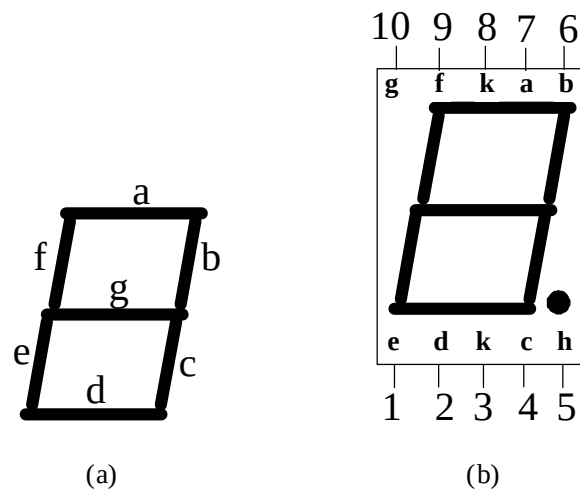


图 6-1-6 七段 LED 显示器

如果显示采用静态显示方式，那么 8 个 BCD 码就需要输出 8 个七段显示码，即占用 56 个 I/O 管脚。显然，静态显示方式占用的 I/O 资源太多，如果 FPGA/CPLD 提供不了这么多的 I/O 资源（ALTERA 公司的 FPGA EPF10K10 84-PLCC 总共只有 59 个 I/O 管脚），则必须采用动态显示方式。CODE1 模块就是采用的动态显示方式。动态显示方式中，输出的七段显示码只有一个，但它是时分复用的，即第 1 段时间里它的值是第 1 位 LED 的值，第 2 段时间里它的值是第 2 位 LED 的值，……，第 8 段时间里它的值是第 8 位 LED 的值。时间片只分为 8 段，然后又从第 1 段开始直到第 8 段，周而复始。

图 9-3-25 是 AEDK—EDA II 实验系统上的 6 位 LED 动态显示器电路，显示器采用的是共阴的七段 LED。

表 6-1-1 七段显示代码与字型的对应关系表

序号	字型	共阴接法									共阳接法								
		D ₇	g D ₆	f D ₅	e D ₄	d D ₃	c D ₂	b D ₁	a D ₀	代码	D ₇	g D ₆	f D ₅	e D ₄	d D ₃	c D ₂	b D ₁	a D ₀	代码
0	0	0	0	1	1	1	1	1	1	3F	0	1	0	0	0	0	0	0	40
1	1	0	0	0	0	0	1	1	0	06	0	1	1	1	1	0	0	1	79
2	2	0	1	0	1	1	0	1	1	5B	0	0	1	0	0	1	0	0	24
3	3	0	1	0	0	1	1	1	1	4F	0	0	1	1	0	0	0	0	30
4	4	0	1	1	0	0	1	1	0	66	0	0	0	1	1	0	0	1	19
5	5	0	1	1	0	1	1	0	1	6D	0	0	0	1	0	0	1	0	12
6	6	0	1	1	1	1	1	0	1	7D	0	0	0	0	0	0	1	0	02
7	7	0	0	0	0	0	1	1	1	07	0	1	1	1	1	0	0	0	78
8	8	0	1	1	1	1	1	1	1	7F	0	0	0	0	0	0	0	0	00
9	9	0	1	1	0	1	1	1	1	6F	0	0	0	1	1	0	0	0	10
A	A	0	1	1	1	0	1	1	1	77	0	0	0	0	1	0	0	0	08
B	B	0	1	1	1	1	1	0	0	7C	0	0	0	0	0	0	1	1	03
C	C	0	0	1	1	1	0	0	1	39	0	1	0	0	0	1	1	0	46
D	D	0	1	0	1	1	1	1	0	5E	0	0	1	0	0	0	0	1	21
E	E	0	1	1	1	1	0	0	1	79	0	0	0	0	0	1	1	0	06
F	F	0	1	1	1	0	0	0	1	71	0	0	0	0	1	1	1	0	0E
10	空	0	0	0	0	0	0	0	0	00	0	1	1	1	1	1	1	1	7F
11	—	0	1	0	0	0	0	0	0	40	0	0	1	1	1	1	1	1	3F

从图 9-3-25 中可见 6 位 LED 动态显示电路只需要两个 I/O 口。其中一个 8 位 I/O 口控制段选码（含小数点）即 LED_A 到 LED_DP，另一个 3 位 I/O 口控制位选即 LED_SA 到 LED_SC。由于所有位的段选码皆由一个 I/O 控制，故在每个瞬间，6 位 LED 只能显示相同

是当小数点控制输入端 P_IN 为 1 时，小数点输出脚 P_OUT 就应输出为 1。但 P_OUT 并不是一直为 1，因为一直为 1 就会在每一位 LED 上点亮小数点，从图 6-1-8 中可见 P_OUT 只在 S[2..0]=2 时输出为 1，这说明所加小数点的位置在第 3 位 LED 的后面，即小数点后有两位数。

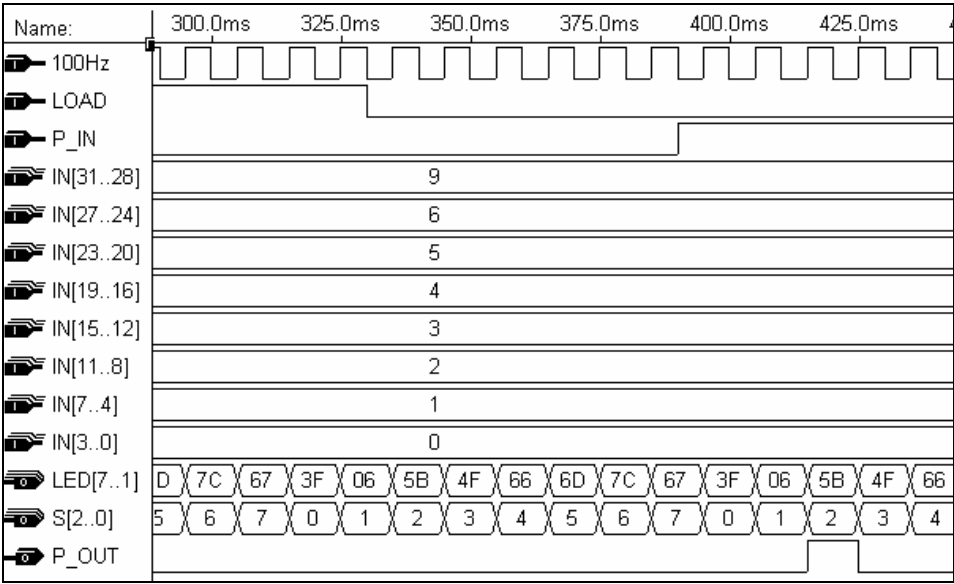


图 6-1-8 锁存译码器的工作时序

3. 十进制计数器

十进制计数器模块如图 6-1-9 所示，它有 3 个输入信号和两个输出信号，其中有一个输出信号为逻辑向量输出信号。该逻辑向量输出信号为 D[3..0]，它是十进制计数器的 BCD 码输出信号，由 4 位 BCD 码组成，代表计数器的计数值。另一个输出信号是有效进位输出信号 CAO，每当计数器计满 9 个计数值后就使进位输出 CAO 为高电平。CLK 是计数器的计数输入信号，CLR 是低有效计数器异步清零信号，CAI 是有效计数允许输入信号。当 CAI 有效而 CLR 无效时计数器对 CLK 输入信号进行计数，当 CAI 和 CLR 均无效时，计数器不计数但保持以前的计数值。通常 CAI 接低位计数器的进位输出 CAO，即本个计数器只有在低位计数器有进位时才计数，这正符合计数器级联的思想。由中规模器件 74LS160 构成的符合本设计要求的十进制计数器如图 6-1-10 所示。十进制计数器的工作时序如图 6-1-11 所示。

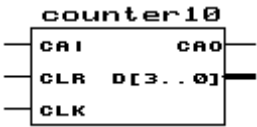


图 6-1-9 counter10 模块

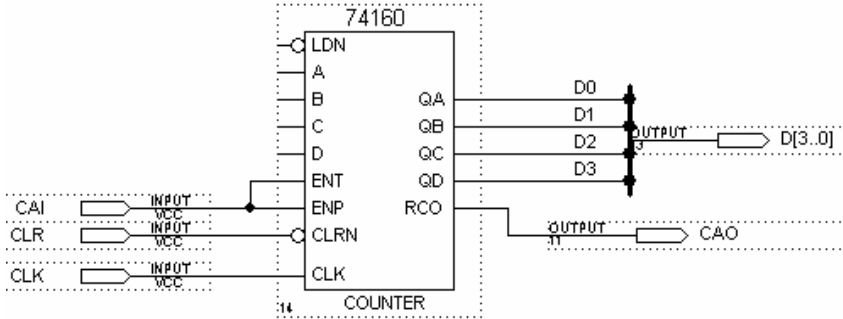


图 6-1-10 十进制计数器

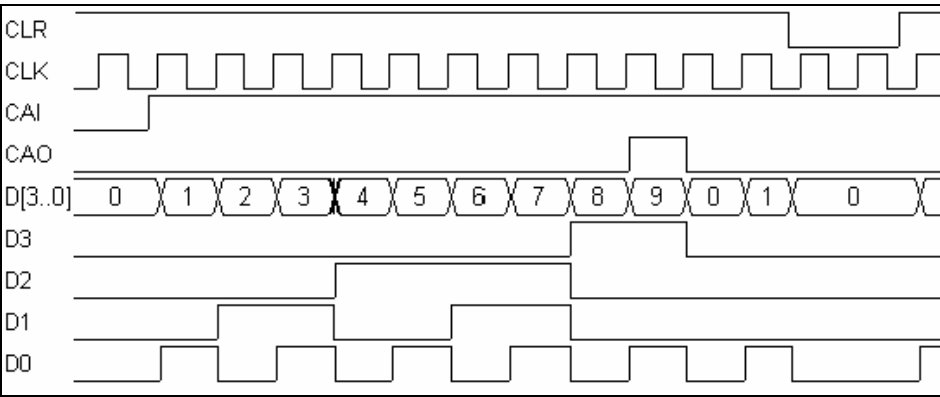


图 6-1-11 十进制计数器工作时序

4. 100 进制计数器

100 进制计数器 counter100 如图 6-1-12 所示，其计数功能是可控的，当输入信号 SELECT=0 时，其输出信号 CLK_OUT 是计数输入信号 CLK 的 100 分频；当输入信号 SELECT=1 时，其输出信号 CLK_OUT=CLK，即此时计数器处于直通状态。本设计中使用了两个 counter100，第一个 counter100 是将输入的 100Hz 信号进行 100 分频而得到 1Hz 的标准信号，第二个 counter100 在 SELECT=0 将 1Hz 的信号进行 100 分频得到 0.01Hz 的标准信号，该信号用于产生 $T_s=100s$ 的闸门控制信号，此时频率计的量程范围是 1Hz~1MHz，此时 counter100 的输出小数点控制信号 2BIT_POINT=1，指示此时的小数点的位置在倒数第二位的前面，单位为 Hz；在 SELECT=1 将 1Hz 的信号进行直通得到 1Hz 的标准信号，该信号用于产生 $T_s=1s$ 的闸门控制信号，此时频率计的量程范围是 100Hz~100MHz，此时 counter100 的输出小数点控制信号 2BIT_POINT=0，指示此时无小数点或小数点在所有数据的末尾，单位为 Hz。counter100 的工作时序如图 6-1-13 所示。counter100 的参考设计电路如图 6-1-14 所示。

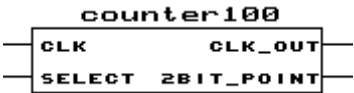


图 6-1-12 counter100 模块

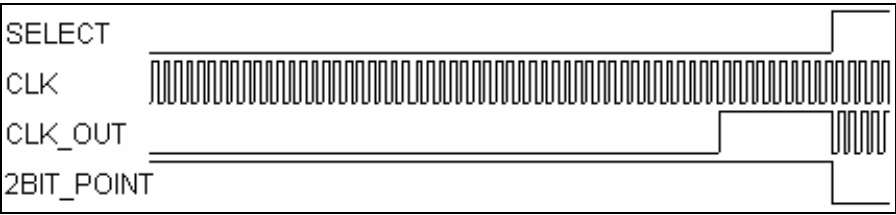


图 6-1-13 counter100 的工作时序图

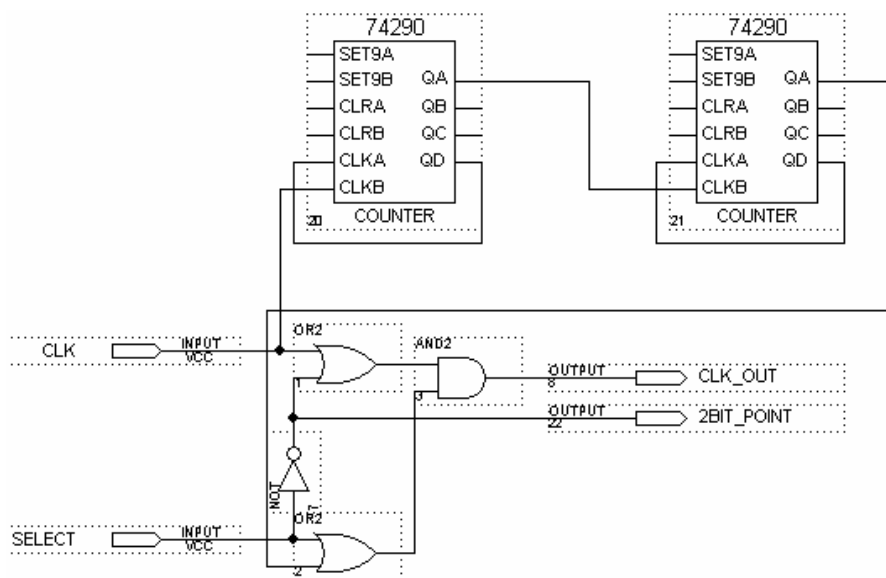


图 6-1-14 counter100 的工作时序图

6.1.6 参考选择的元器件

- (1).十进制计数器 74LS160、十六进制计数器 74LS161
- (2).二-五-十进制计数器 74LS290
- (3).三-八译码器 74LS138
- (4).八 D 边沿触发器 74LS273
- (5).八 D 型锁存器 74LS373 (3S、公共控制、公共时钟)
- (6).八 D 型触发器 74LS374 (3S、公共控制、公共时钟)
- (5).八缓冲器/线驱动器/线接收器 74LS244 (3S、分两组公共控制)
- (6).74LS46、74LS47、74LS48、74LS49
- (7).各种门电路、触发器
- (8).ALTERA 公司 FLEX10K 系列 FPGA EPF10K20 (20000 等效门)

6.1.7 系统仿真

图 6-1-15 是系统时序仿真图一。在这个仿真中，从图上可以看出被测信号是一个 100Hz 的方波信号，START=1 表明频率计处于测试状态，在 EN 的下降沿处也即在 LOAD=1 的上升沿处计数结束，并将计数值锁存在 CODE1 模块中，但该数据要等到 100Hz 信号的上升沿到来时才会输出到七段显示输出口上。图中还可看出 D8~D1 的计数值为 00000100，这正好是被测信号的频率，说明测试结果是正确的。而七段显示输出的显示代码从 Y1 有效开始到 Y8 结束的一个扫描周期中，输出代码分别为 3F、3F、3F、3F、3F、06、3F、3F，这正好是“0”、“0”、“0”、“0”、“0”、“1”、“0”、“0”的显示代码，所以显示为“00000100”Hz，可见显示输出控制也是正确的。

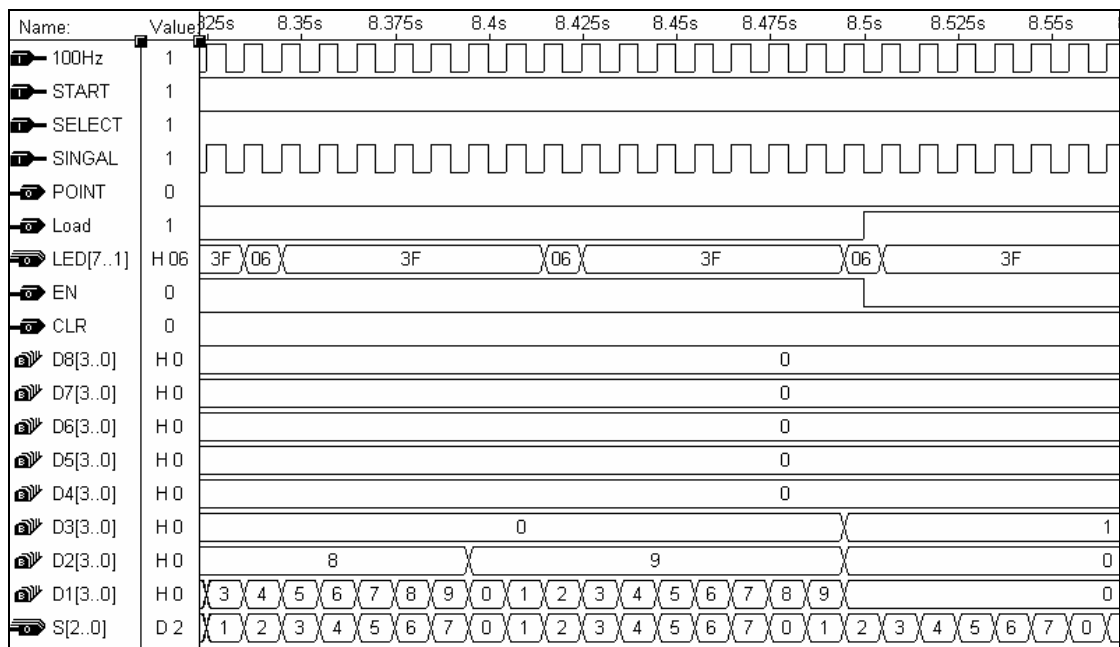


图 6-1-15 系统时序仿真波形图一

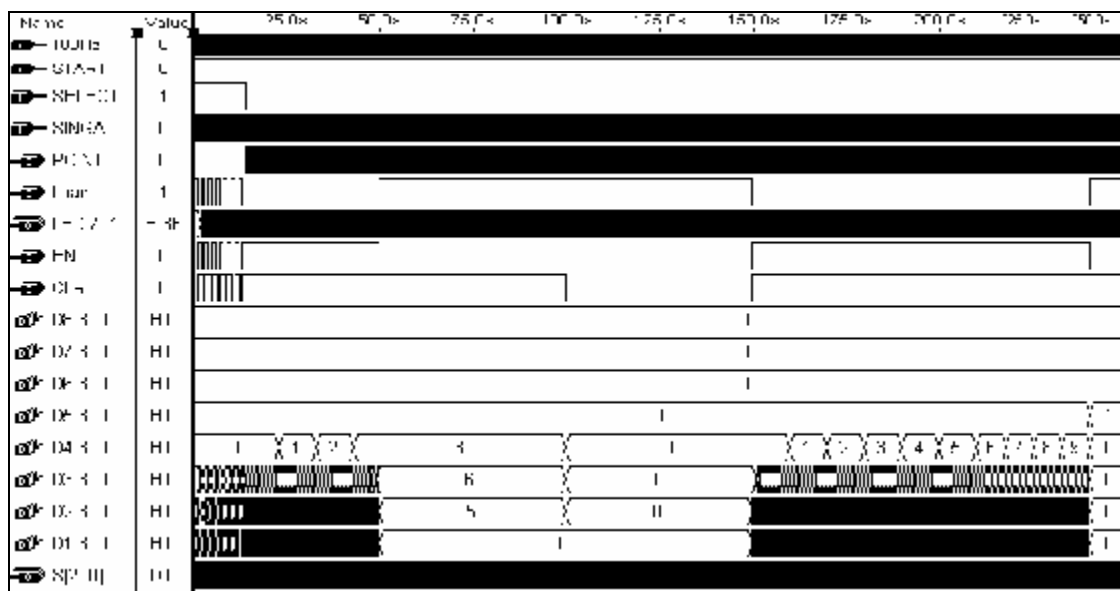


图 6-1-16 系统时序仿真波形图二

图 6-1-16 是系统时序仿真图二，该图为了观察较长时间段的仿真情况，所以没有进行时间轴的放大，图中有些信号因为变化太快，所以看不清信号的上升沿和下降沿，而是一片黑色，如 100Hz 信号和被测信号 SIGNAL。在这个仿真中，SELECT=0 表明闸门控制信号的宽度 $T_s=100s$ ，小数点后有两位数据位，测量频率范围为 1Hz~1MHz，单位为 Hz。被测信号仍是一个 100Hz 的方波信号。从图上可以看出频率计的计数值 D8~D1 为 00010000，由于有小数点，因此译码显示扫描后显示为“000100.00”Hz。

通过图 6-1-15 和图 6-1-16 的分析可知，系统设计是完全正确的。

6.1.8 系统硬件仿真

为进行硬件仿真，必须按如下步骤操作：

- (1).要根据集成芯片的型号进行正确的选择,
- (2).管脚锁定,
- (3).编译,
- (4).下载,
- (5).硬件连接
- (6).硬件测试

6.1.9 管脚锁定

如下是本设计系统的管脚锁定的一种方案。

```

DEVICE = "EPF10K20TC144-4";
"clk1kHz"           : INPUT_PIN  = 92      ;
"SELECT"            : INPUT_PIN  = 43      ;
"SINGAL"            : INPUT_PIN  = 98      ;
"START"             : INPUT_PIN  = 44      ;
"100Hz"             : INPUT_PIN  = 96      ;
"CLR"               : OUTPUT_PIN = 102     ;
"EN"                : OUTPUT_PIN = 101     ;
"LED1"              : OUTPUT_PIN = 72      ;
"LED2"              : OUTPUT_PIN = 73      ;
"LED3"              : OUTPUT_PIN = 78      ;
"LED4"              : OUTPUT_PIN = 79      ;
"LED5"              : OUTPUT_PIN = 80      ;
"LED6"              : OUTPUT_PIN = 81      ;
"LED7"              : OUTPUT_PIN = 82      ;
"Load"              : OUTPUT_PIN = 144     ;
"POINT"             : OUTPUT_PIN = 83      ;
"S0"                : OUTPUT_PIN = 68      ;
"S1"                : OUTPUT_PIN = 69      ;
"S2"                : OUTPUT_PIN = 70      ;

```

管脚含义:

100Hz: 标准 100Hz 方波信号,
 clk1kHz: 显示扫描信号
 SELECT: 量程范围设置信号
 SIGNAL: 被测信号,
 START: 测试启动信号,
 POINT: 小数点驱动输出信号,
 S2~S0: 输出显示器位选信号,
 LED1~LED7: 输出七段显示代码,

6.1.10 设计技巧

1. 在设计 100 进制计数器 counter100 时增加了一个直通控制线的设计是一个巧妙的思路。利用它可以方便的控制分频的阶数以达到控制闸门时间, 并进而达到选择量程的目的。
2. 系统设计中的 8 个十进制计数器组成同步计数器, 一方面提高了系统的工作频率, 另

一方面每个高位的计数器受低位的计数器的进位输出控制，极大地克服了毛刺对系统的影响，系统的可靠性得到了保障。

3. 在锁存译码显示器 CODE1 的设计中，利用了三态缓冲器 74244 完成内部总线的设计。为了将 BCD 数逐位输出，内部总线需 4 位宽，而 74244 正好是 4 位一组，满足设计要求。扫描信号来自一个 8 进制计数器和一个 3-8 译码器组成的电路的输出，其中 Y1~Y8 作为内部总线扫描使用，而 S0~S2 作为端口输出去驱动 EDA 实验系统上的显示电路。

4. 在系统顶层电路或模块电路的仿真调试中，为了便于观察和分析一些中间结果，可以在程序中增加一些观测输出点，当电路调试通过后再去除这些观测输出点。

5. 在调试阶段可采用 $100/8=12.5\text{Hz}$ 的扫描频率，显然实际系统如用该扫描频率进行动态显示时将会出现严重的闪烁现象。采用该频率是为了使计算机的仿真时间缩短到可以接受的程度，实验表明，即使扫描频率为 12.5Hz 时，做一次 300 秒的真实环境的时序仿真在 Intel Pentium III 800M 的 PC 机上将耗时达 3 分 45 秒，做同样一次 300 秒的真实环境的功能仿真在 Intel Pentium III 800M 的 PC 机上也需 40 秒。因此如果将扫描频率提高到 50Hz 以上时，仿真时间将会大大增加。当仿真通过以后再将扫描频率提高 10 倍，这样就即保证了能克服闪烁现象，又大大节约了仿真时间。这一设计技巧尤其对于有高倍数分频、计数器的电路显得尤为重要。

6.1.11 设计报告

1. 写出设计、仿真和分析报告，内容包括：各单元电路图、顶层电路图、功能仿真波形图、时序仿真波形图，电路原理的分析、波形分析的结论。

2. 对实验中遇到的问题进行分析，采用了什么样的解决方法，写出实验心得。

3. 讨论本设计方案频率测量的精度与被测信号的频率的关系。如果要求测量相对误差小于等于 10^{-5} ，且测量的刷新时间不大于 1s 或不大于被测信号的周期，测量范围为 1Hz~100MHz 应如何修改设计方案？